

Lucrarea 5

Descrierea schematică. Circuite logice combinaționale.

5.1 Obiective

Metodologia de implementare a sistemelor digitale cu XILINX ISE a fost prezentată în detaliu în lucrarea anterioară. Această lucrare are următoarele obiective:

- Exersarea modului de implementare a sistemelor digitale cu circuite FPGA Xilinx, pornind de la descrierea schematică a acestora;
- Utilizarea osciloscopului și a analizorului logic pentru investigarea circuitelor digitale.

5.2 Implementarea circuitelor logice prin descriere schematică

5.2.1 Funcție logică cu două intrări

Implementați un circuit logic combinațional descris de funcția:

$$F1(A, B) = \sum(0, 1, 3)$$

Parcurgeți următoarele etape:

- Scrieți tabelul de adevăr.
- Desenați diagrama V-K asociată funcției. Minimizați funcția și deduceți structura de porți logice minimă care implementează funcția.
- Creați un nou proiect Xilinx ISE (denumit **F1**) și desenați schema cu porți logice. Salvați fișierul cu numele **F1.sch**.
- Scrieți fișierul de constrângeri al proiectului și salvați-l cu numele **F1.ucf**. Intrările A, B se conectează la switch-uri SW1 (L14) și SW0 (L13). Ieșirea se asociază cu led-ul LD0 (F12).
- Generați fișierul bitstream **F1.bit** și programați circuitul FPGA.

- Acționați switch-urile și observați pe led starea logică a ieșirii. Completați tabelul de adevăr și comparați-l cu forma canonică a funcției $F1$.

5.2.2 Funcție logică cu trei intrări

Implementați un circuit logic combinațional descris de funcția:

$$F2(A, B, C) = \sum(1, 3, 4, 7)$$

Parcurgeți etapele enumerate în paragraful anterior. Creați un nou proiect Xilinx ISE (denumit **F2**) și desenați schema cu porți logice. Salvați fișierul cu numele **F2.sch**. Scrieți fișierul de constrângeri al proiectului și salvați-l cu numele **F2.ucf**. Intrările A, B, C se conectează la switch-uri SW2 (H18), SW1 (L14) și SW0 (L13). Ieșirea se asociază cu led-ul LD0 (F12).

Completați tabelul de adevăr și comparați-l cu forma canonică a funcției $F2$.

5.3 Utilizarea osciloscopului pentru investigarea circuitelor combinaționale

Osciloscopul este un aparat care permite vizualizarea formelor de undă ale semnalelor periodice. Pentru a se putea folosi osciloscopul analogic la investigarea unor circuite digitale, trebuie ca semnalele de intrare (și implicit cele de ieșire, în cazul circuitelor combinaționale) să fie periodice.

Sunt necesare următoarele modificări aduse proiectului:

- Modelarea și implementarea în FPGA a unui generator de semnale digitale care să conducă circuitul combinațional analizat prin toate stările posibile. Pentru un circuit cu N intrări generatorul de semnale poate fi implementat sub forma unui numărător sincron cu N biți. Figura 5.1 prezintă schema de principiu a generatorului de semnale periodice pentru testarea unui circuit combinațional.

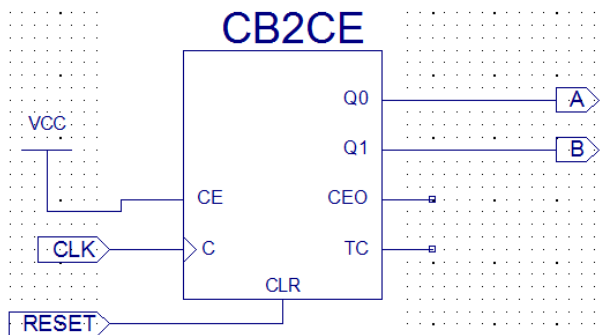


Figura 5.1 Generator de semnale periodice utilizat pentru testarea unui circuit combinațional (**gen-Signals2.sch**).

Un generator de semnale periodice se poate implementa sub forma unui numărător sincron de 2 sau mai mulți biți.

- Proiectarea unui sistem în care se instanțiază circuitul combinațional care se analizează și generatorul de semnale. Intrările și ieșirile circuitului analizat se conectează la ieșirile sistemului

pentru a putea fi transmise spre un conector. Sondele osciloscopului se vor conecta la pini corespunzători ai conectorului. Figura 5.2 prezintă grafic structura proiectului cu instanțierea celor două blocuri.

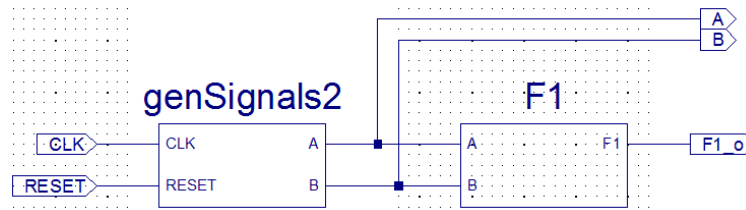


Figura 5.2 Circuit combinational analizat, conectat la generatorul de semnale (**F1test.sch**).

5.3.1 Funcție logică cu două intrări

Se va investiga aceeași funcție:

$$F1(A, B) = \sum(0, 1, 3)$$

Din schema **F1.sch** realizați un simbol și salvați-l sub numele **F1.sym**.

Într-o nouă schemă, denumită **F1test.sch** instanțiați modulul generatorului de semnal (**genSignal2.sym**) și simbolul asociat funcției **F1** (**F1.sym**). Setați ca modul de "top" modulul **F1test**. Asociați acestuia un fișier de constrângeri (**F1test.ucf**) după cum urmează:

```
# semnal de ceas pentru generatorul de semnal
NET "CLK"          LOC = "C9";          # 50 MHz
# reset asincron
NET "RESET"       LOC = "K17" | PULLDOWN; # BTN South

# iesiri asociate intrarilor si iesirilor circuitului analizat
NET "A"           LOC = "D7";          # J4 IO9
NET "B"           LOC = "C7";          # J4 IO10
NET "F1_o"        LOC = "E8";          # J4 IO12
```

Reluați etapele de implementare și realizați fișierul **F1test.bit**. Conectați sondele osciloscopului (3 canale) pe ieșirile conectorului și vizualizați formele de undă (CH1 = A[J4-IO9], CH3 = B[J4-IO10], CH4 = F1[J4-IO12]).

Care semnal este potrivit pentru declanșarea bazei de timp (triggerare)? Semnalul de triggerare trebuie să aibă un singur front crescător pe perioadă. Această condiție este îndeplinită de bitul cel mai semnificativ al unui numărator (existent în interiorul generatorului de semnal). În acest caz, triggerarea osciloscopului trebuie făcută cu semnalul afișat pe canalul asociat portului B.

Comutați osciloscopul în modul digital (apăsați butonul **ANALOG/DIGITAL** pentru a deveni albastru).

Imaginea ce trebuie observată pe osciloscop este similară cu cea prezentată în figura 5.3. Se observă formele de undă ale intrărilor A și B (toate cele 4 combinații) și forma de undă a ieșirii F1. Ieșirea F1 este "1" la momentele asociate apariției pe intrare a combinațiilor mintermilor ce apar în expresia funcției (0, 1 și 3).

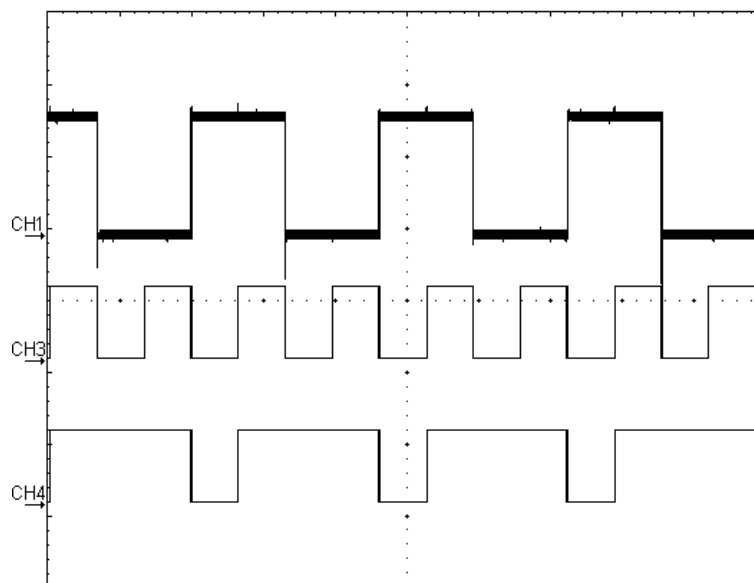


Figura 5.3 Imagine de osciloscop, investigație F1 (CH1 - A, CH3 - B, CH4 - F1).

5.3.2 Funcție logică cu trei intrări

Investigați într-un mod similar celui descris în paragraful anterior, funcția de trei intrări:

$$F2(A, B, C) = \sum(1, 3, 4, 7)$$

Fișierul de contrângeri **F2test.ucf** va conține în plus o linie asociată intrării C:

```
NET "C"          LOC = "F8";    # J4 IO11
```

Utilizați toate cele 4 canale ale osciloscopului pentru a vizualiza cele 3 intrări și o ieșire. (CH1 = A[J4-IO9], CH2 = B[J4-IO10], CH3 = C[J4-IO11], CH4 = F2[J4-IO12]). Vizualizați o imagine similară cu cea prezentată în figura 5.4. Faceți corelația dintre imaginea obținută pe osciloscop și tabelul de adevăr al funcției.

5.4 Utilizarea analizorului logic pentru investigarea circuitelor combinaționale

Analizorul logic este un instrument care permite vizualizarea mai multor semnale digitale. Spre deosebire de osciloscop, analizorul logic poate vizualiza semnale neperiodice. Analizorul logic nu prezintă forma de undă reală a semnalelor ci doar nivelele logice ale acestora.

5.4.1 Funcție logică cu două intrări

Se va investiga aceeași funcție:

$$F1(A, B) = \sum(0, 1, 3)$$

Pentru investigarea circuitului asociat funcției F1 se va folosi același bitstream (**F1test.bit**) folosit pentru investigarea cu osciloscopul.

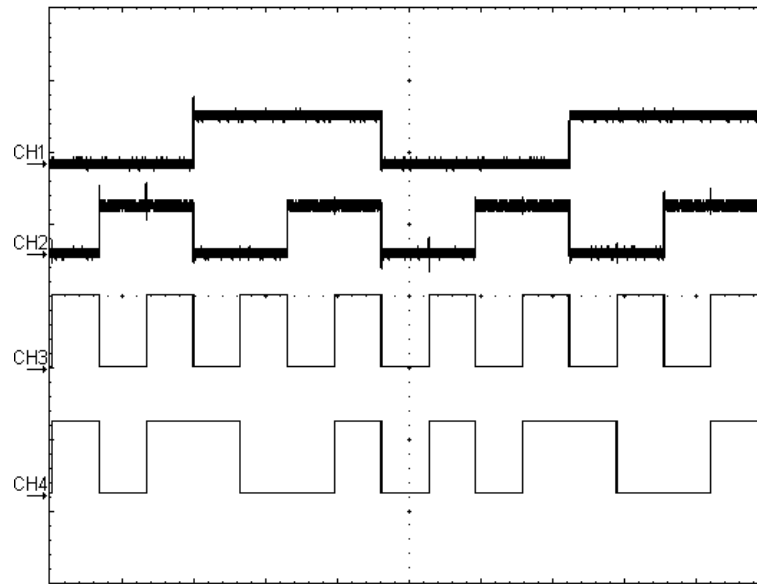


Figura 5.4 Imagine de osciloscop, investigare F2 (CH1 - A, CH2 - B, CH3 - C, CH4 - F2).

Conectați sondele analizorului logic pe ieșirile conectorului conform tabelului 5.1 și vizualizați formele de undă.

Tabelul 5.1

Asocierea sondelor analizorului logic cu porturile funcției F1.

| Port | Pin FPGA | Conector placă | Canal, Conector analizor logic |
|------|----------|----------------|--------------------------------|
| A | D7 | J4-I09 | 0, negru/alb |
| B | C7 | J4-I010 | 1, maro/alb |
| F1 | E8 | J4-I012 | 3, portocaliu/alb |

Conectați conectorul de masă al analizorului logic (negru/gri) la un pin de masă al machetei FPGA.

Realizați un nou proiect pentru analizorul logic în care plasați doar canalele pe care le utilizați (0, 1 și 2) asociate cu denumirile prezentate în tabelul 5.1. Salvați proiectul cu denumirea **f1.LPF**.

Declanșați triggerarea analizorului logic la momentul frontului crescător al semnalului A.

Imaginea ce trebuie observată pe analizorul logic este similară cu cea prezentată în figura 5.5. Se observă formele de undă ale intrărilor A și B (toate cele 4 combinații) și forma de undă a ieșirii F1. Ieșirea F1 este "1" la momentele asociate apariției pe intrare a combinațiilor mintermilor ce apar în expresia funcției (0, 1 și 3).

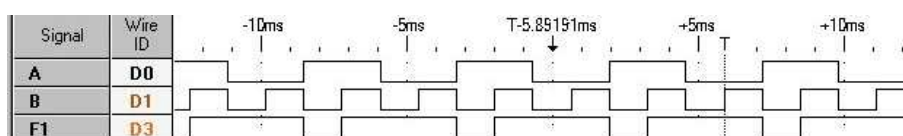


Figura 5.5 Imagine pe analizorul logic (investigare F1).

5.4.2 Funcție logică cu trei intrări

Investigați într-un mod similar celui descris în paragraful anterior, funcția de trei intrări:

$$F2(A, B, C) = \sum(1, 3, 4, 7)$$

Fișierul de proiect denumiți-l **f2.LPF** va conține în plus o linie asociată intrării C, conform tabelului 5.2.

Tabelul 5.2

Asocierea sondelor analizorului logic cu porturile funcției F2.

| Port | Pin FPGA | Conector placă | Canal, Conector analizor logic |
|------|----------|----------------|--------------------------------|
| A | D7 | J4-I09 | 0, negru/alb |
| B | C7 | J4-I010 | 1, maro/alb |
| C | F8 | J4-I011 | 2, roșu/alb |
| F1 | E8 | J4-I012 | 3, portocaliu/alb |

Utilizați 4 canale ale analizorului logic pentru a vizualiza cele 3 intrări și o ieșire. Vizualizați o imagine similară cu cea prezentată în figura 5.6. Faceți corelația dintre imaginea obținută pe analizorul logic și tabelul de adevăr al funcției F2.

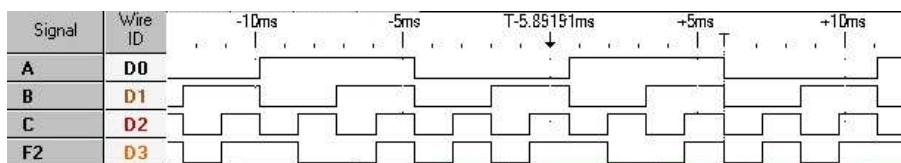


Figura 5.6 Imagine pe analizorul logic (investigare F2).