

# Cuprins

---

|          |  |    |
|----------|--|----|
| <b>1</b> | <b>INTRODUCERE</b>                         |    |
| 1.1      | Ce este Verilog?                           | 1  |
| 1.2      | De ce HDL?                                 | 3  |
| 1.3      | Terminologia Verilog                       | 6  |
| 1.3.1    | Aspectul temporal                          | 6  |
| 1.3.2    | Concurența evenimentelor                   | 7  |
| 1.3.3    | Modulul                                    | 7  |
| 1.4      | Mediul de simulare a modelelor HDL         | 21 |
| 1.5      | Comparație Verilog-VHDL                    | 21 |
| <b>2</b> | <b>FUNDAMENTELE LIMBAJULUI VERILOG HDL</b> |    |
| 2.1      | Convenții lexicale                         | 25 |
| 2.2      | Structura codului Verilog                  | 25 |
| 2.3      | Setul de valori                            | 26 |
| 2.3.1    | Numere întregi                             | 26 |
| 2.3.2    | Numere reale                               | 27 |
| 2.3.3    | Șiruri                                     | 28 |
| 2.4      | Tipuri de date și obiecte                  | 28 |
| 2.5      | Operatori                                  | 34 |
| 2.5.1    | Operatori aritmetici                       | 34 |
| 2.5.2    | Operatori relaționali                      | 38 |
| 2.5.3    | Operatori de egalitate                     | 38 |
| 2.5.4    | Operatori logici                           | 39 |
| 2.5.5    | Operatori logici pe vectori                | 40 |
| 2.5.6    | Operatori de reducere                      | 41 |
| 2.5.7    | Operatori de deplasare                     | 42 |
| 2.5.8    | Operator condițional                       | 43 |
| 2.5.9    | Operatori de concatenare și replicare      | 43 |
| 2.6      | Specificații concurente                    | 44 |
| 2.7      | Specificații secvențiale                   | 47 |
| 2.7.1    | Specificații de atribuire secvențiale      | 47 |
| 2.7.2    | Specificații condiționale                  | 53 |
| 2.7.3    | Specificații de selecție                   | 56 |
| 2.7.4    | Specificații de iterații                   | 57 |
| 2.7.5    | Specificații de control temporal           | 59 |

|          |  |     |
|----------|--|-----|
| 2.8      | Directive de compilare   | 63  |
| 2.8.1    | 'define și 'undefine   | 63  |
| 2.8.2    | 'ifdef, 'ifndef, 'else, 'endif   | 65  |
| 2.8.3    | 'include   | 66  |
| 2.8.4    | 'timescale   | 66  |
| 2.9      | "Stil și calitate"   | 67  |
| <b>3</b> | <b>MODELAREA CIRCUITELOR ELEMENTARE</b>                                |     |
| 3.1      | Circuite combinaționale  | 79  |
| 3.1.1    | Modelarea circuitelor logice cu <code>assign</code>                    | 79  |
| 3.1.2    | Modelarea circuitelor logice cu <code>always</code>                    | 80  |
| 3.2      | Circuite de multiplexare   | 81  |
| 3.3      | Codificator/decodificator  | 81  |
| 3.4      | Latch D  | 85  |
| 3.5      | Bistabil D/RS  | 86  |
| 3.6      | Bistabil T/JK  | 88  |
| 3.7      | Numărătoare sincrone   | 89  |
| 3.8      | Automate secvențiale sincrone  | 94  |
| 3.8.1    | Semi-automat descris cu o singură specificație                         | 94  |
| 3.8.2    | Modelarea ieșirilor automatelor  | 96  |
| 3.8.3    | Modelarea automatelor ca registru de stare și circuit<br>combinațional | 98  |
| 3.8.4    | Automat cu stări codificate "one-hot"                                  | 100 |
| <b>4</b> | <b>NOȚIUNI AVANSATE DE VERILOG</b>                                     |     |
| 4.1      | Task-uri și funcții  | 103 |
| 4.2      | Modelarea memoriilor   | 107 |
| 4.3      | Generarea structurilor hardware  | 109 |
| 4.4      | Modelarea la nivel de poartă logică                                    | 113 |
| 4.4.1    | Porți cu intrări multiple  | 113 |
| 4.4.2    | Porți cu ieșiri multiple   | 113 |
| 4.4.3    | Porți cu ieșiri în trei stări  | 114 |
| 4.4.4    | Porți cu ieșiri fixe   | 114 |
| 4.5      | Modelarea la nivel de tranzistor                                       | 115 |
| 4.6      | Task-uri și funcții de sistem  | 118 |
| 4.6.1    | Task-uri de afișare  | 119 |
| 4.6.2    | Task-uri de accesare a fișierelor                                      | 120 |
| 4.6.3    | Task-uri pentru controlul simulării                                    | 122 |
| 4.6.4    | Task-uri pentru verificări temporale                                   | 122 |
| 4.6.5    | Funcții referitoare la timpul simulării                                | 123 |
| 4.6.6    | Funcții pentru generarea numerelor aleatorii                           | 123 |
| 4.7      | Primitive definite de utilizator                                       | 124 |
| 4.8      | Accesarea semnalelor în ierarhie                                       | 126 |
| 4.9      | Funcții PLI  | 127 |
| 4.9.1    | Crearea unei aplicații PLI   | 128 |
| 4.9.2    | Apelarea aplicației PLI  | 132 |
| 4.10     | Noutăți introduse de standardul IEEE Verilog 1364-2001                 | 133 |

**5 PROBLEME REZOLVATE**

|        |   |     |
|--------|---|-----|
| 5.1    | Circuite de prelucrare a impulsurilor   | 135 |
| 5.1.1  | Circuite formatoare de impulsuri  | 135 |
| 5.1.2  | Generarea unui semnal în avans sau cu întârziere  | 138 |
| 5.2    | Circuit secvențial pentru recunoaștere de pattern   | 142 |
| 5.3    | Verificator de protocol de comunicație  | 147 |
| 5.4    | Generarea semnalului de transport al unui numărător sincron   | 150 |
| 5.5    | Modelarea registrelor   | 151 |
| 5.5.1  | Registrul paralel   | 151 |
| 5.5.2  | Registrul cu reacție, LFSR  | 152 |
| 5.6    | Sincronizarea semnalelor la trecerea între două domenii de ceas   | 162 |
| 5.6.1  | Sincronizarea unui semnal cu evoluție lentă la trecerea dintr-un domeniu de ceas de frecvență scăzută într-un domeniu de ceas de frecvență ridicată | 163 |
| 5.6.2  | Sincronizarea unui puls la trecerea dintr-un domeniu de ceas de frecvență ridicată într-un domeniu de ceas de frecvență scăzută                     | 165 |
| 5.6.3  | Sincronizarea unui puls la trecerea dintr-un domeniu de ceas de frecvență scăzută într-un domeniu de ceas de frecvență ridicată                     | 170 |
| 5.6.4  | Aplicație la sincronizarea unui bus cu variație lentă   | 173 |
| 5.6.5  | Aplicație la sincronizarea unui bus cu variație rapidă (FIFO)   | 174 |
| 5.7    | Interfațarea cu CPU   | 181 |
| 5.8    | Multiplicator secvențial  | 197 |
| 5.9    | Modelarea și testarea memoriilor  | 202 |
| 5.10   | Modelarea multiplexoarelor  | 210 |
| 5.10.1 | Multiplexor modelat cu valori neprecizate   | 210 |
| 5.10.2 | Multiplexor în buclă cu bistabil  | 212 |
| 5.10.3 | Multiplexor pe bus  | 216 |
| 5.11   | Controller pentru memorie SDRAM   | 217 |
| 5.11.1 | Modelul Verilog al controllerului SDRAM   | 217 |
| 5.11.2 | Mediul de testare al controllerului SDRAM   | 229 |

**Anexa A MODELAREA SPICE A UNUI INVERSOR CMOS**

|       |  |     |
|-------|--|-----|
| A.1   | Modelul SPICE al tranzistoarelor MOS   | 239 |
| A.2   | Ridicarea caracteristicii de sarcină $I_{DS}(V_{DS})$ pentru tranzistorul NMOS | 240 |
| A.3   | Modelul SPICE al inversorului CMOS   | 244 |
| A.4   | Determinarea caracteristicii de transfer și a parametrilor inversorului CMOS   | 245 |
| A.4.1 | Nivelurile de tensiune   | 246 |
| A.4.2 | Marginea de zgomot   | 247 |
| A.4.3 | Timpul de propagare  | 247 |
| A.4.4 | Consumul de putere   | 250 |
| A.4.5 | Factorul de merit  | 251 |

**Anexa B CUVINTE CHEIE REZERVATE ALE VERILOG HDL**

**Anexa C MEMENTO LIMBAJ VERILOG**

**Anexa D CONȚINUT SIT CARTE**