

# Lucrarea 7

## Bistabile

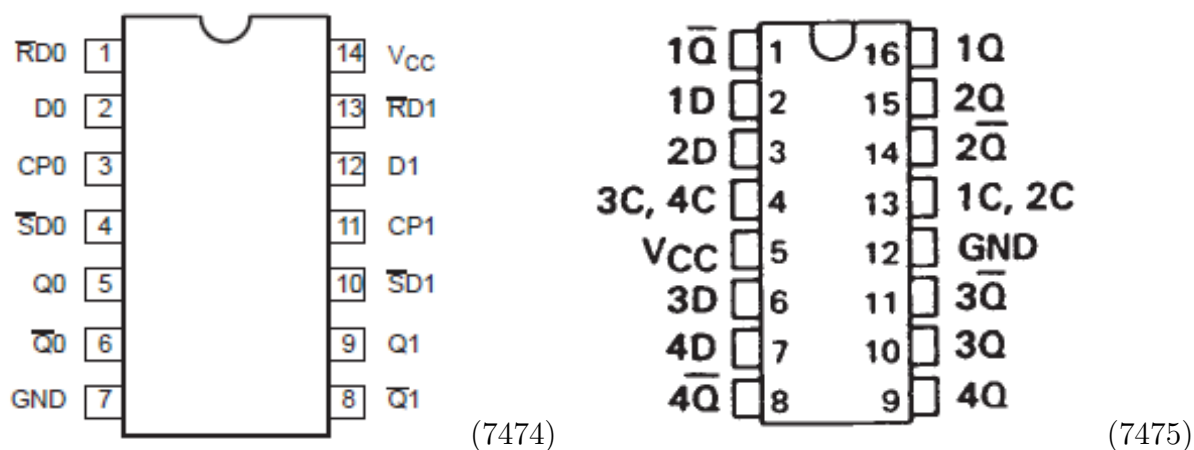
### 7.1 Obiective

Lucrarea are următoarele obiective:

- Fixarea cunoștințelor despre circuitele secvențiale: latch-uri și bistabile;
- Exersarea utilizării osciloscopului și a analizorului logic, împreună cu proiectarea unor generatoare de stimuli, pentru investigarea circuitelor secvențiale.

### 7.2 Comparație Latch-Bistabil

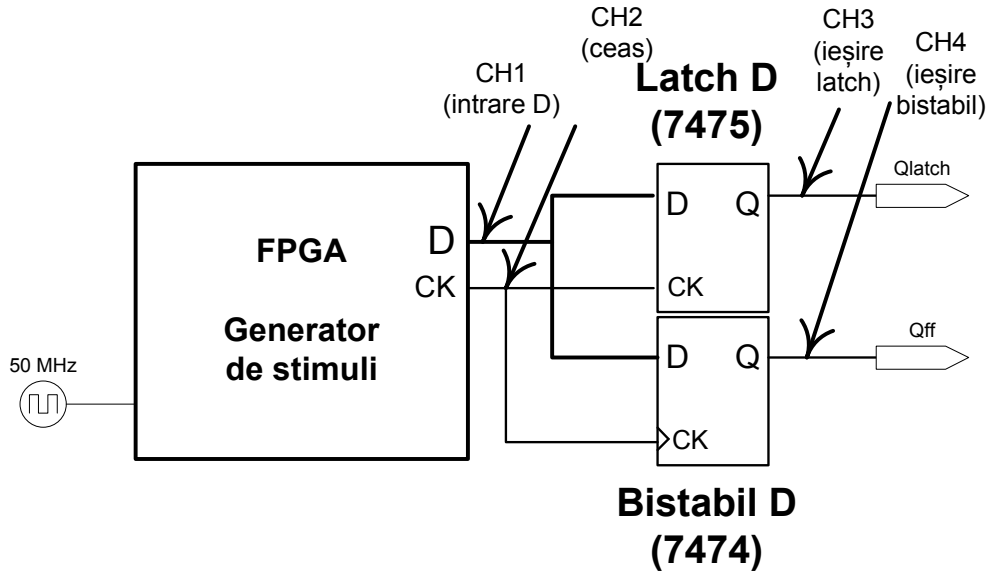
Circuitul 7474 conține două bistabile D. Circuitul 7475 conține două latch-uri D. Capsulele celor două circuite sunt prezentate în figura 7.1.



**Figura 7.1** Capsulele circuitelor 7474 (două bistabile D) și 7475 (patru latch-uri D).

Pentru compararea comportamentului latch-ului D cu cel al bistabilului D, se aplică la intrările acestora (de date și de ceas) aceleași semnale. Semnalele de intrare provin de la un generator de semnale complexe implementat în FPGA. Circuitul necesar a se realiza este prezentat în figura 7.2.

Realizați circuitul prin conectarea ieșirilor FPGA la intrările corespunzătoare ale circuitelor latch și bistabil. Lista de asociere este prezentată în tabelul 7.1.



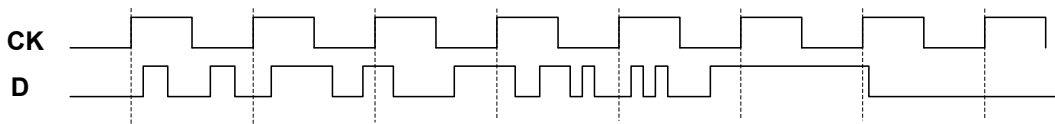
**Figura 7.2** Schemă pentru compararea funcționării latch-ului și a bistabilului D.

*Tabelul 7.1*

**Asocierea conectoarelor machetei FPGA cu porturile latch-ului și ale bistabilului.**

Semnificație	Conector machetă
CK	J4-IO9
D	J4-IO10

Pentru a programa circuitul FPGA, folosiți fișierul existent pe situl de web al laboratorului (**genSignalLatchFf.bit**). Cu această programare, circuitul FPGA va genera formele de undă prezentate în figura 7.3.



**Figura 7.3** Semnalul de ceas și semnalul de date pentru comparația latch-bistabil.

Conectați sondele osciloscopului conform figurii 7.2. Vizualizați formele de undă și comparați comportamentul latch-ului D față de cel al bistabilului D. Desenați ca în figura 7.4 formele de undă observate menținând corelațiile temporale cu semnalele de intrare ale acestor circuite.

Ca alternativă, vizualizați aceleași forme de undă folosind analizorul logic. Proiectul analizorului (fișierul **latchFf.LPF**) se găsește pe situl de web al laboratorului.

Figura 7.5 prezintă formele de undă ale semnalelor de ceas, date de intrare și date de ieșire ale bistabilului D 7474 și ale latch-ului 7475, vizualizate pe osciloscop și pe analizorul logic.

Verificați pe formele de undă definirea comportamentului acestora:

- **Latch D:** copiază intrarea D pe palierul de 1 al ceasului și menține starea neschimbată pe palierul de 0 al semnalului de ceas.

```
always @(CK or D)
```

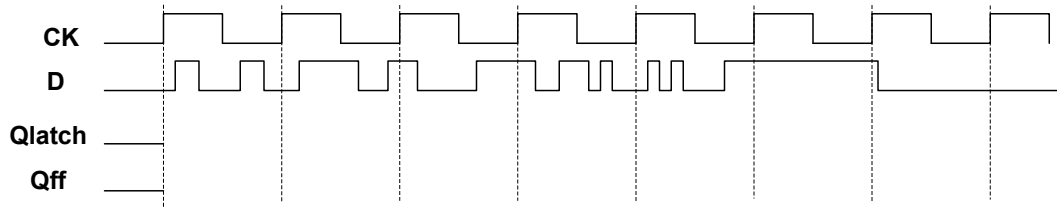


Figura 7.4 Forme de undă pentru comparația latch-bistabil.

```
if (CK) Qlatch <= D;
```

- **Bistabil D:** în momentul frontului crescător al semnalului de ceas, intrarea D este memorată și menținută pe durata unei perioade de ceas.

```
always @(posedge CK)
  Qff <= D;
```

De remarcat că la osciloscop primele două canale (CK și D) sunt analogice iar celelalte două (ieșirile bistabilului și latch-ului) sunt canale logice.

Observați diferențele de reprezentare a acelorași forme de undă pe osciloscop și pe analizorul logic.

Observați diferențele de reprezentare a acelorași forme de undă pe canalul analogic (1 și 2) și pe canalul logic (3 și 4) ale osciloscopului (vizualizați același semnal pe canalele 1 și 3 ale osciloscopului).

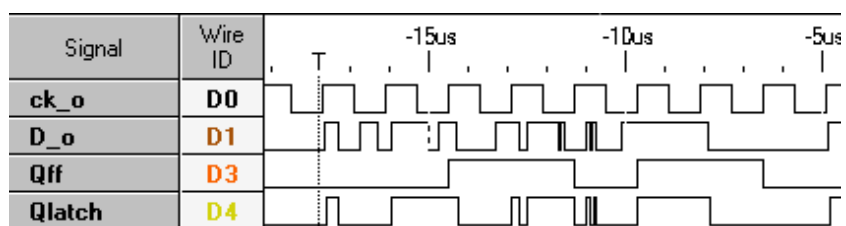
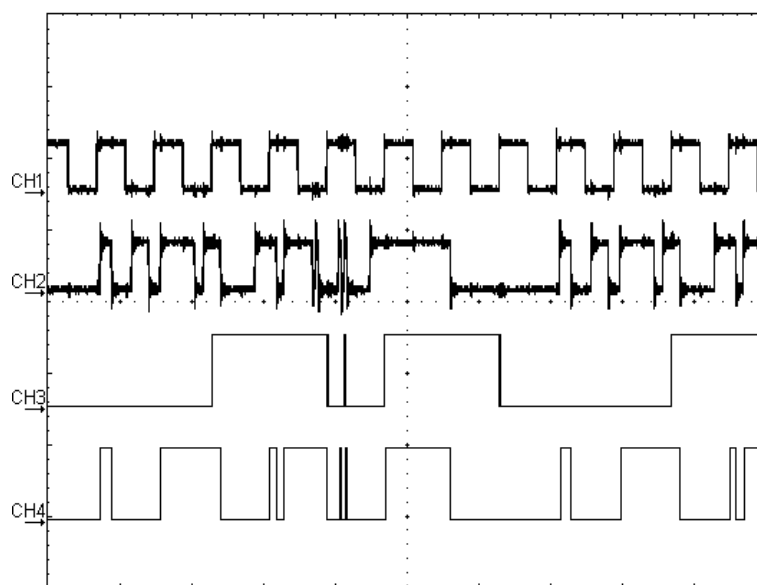
Un detaliu al formelor de undă din figura 7.5 este prezentat în figura 7.6. Se observă propagarea prin latch a pulsurilor semnalului D în cazul când acestea apar în intervalul de timp când semnalul de ceas este activ (1 logic). Aceste impulsuri sunt ignorate de către bistabilul D. Pulsurile apărute în intervalul de timp când semnalul de ceas este inactiv (0 logic) sunt ignorate atât de către bistabil cât și de către latch.

## 7.3 Bistabile sincrone înseriate

Studiați comportamentul a două bistabile înseriate, utilizând circuitul prezentat în figura 7.7. Cele două bistabile primesc același semnal de ceas. Primul bistabil primește semnal de la generatorul implementat pe FPGA. Ieșirea Q a primului bistabil este conectată la intrarea D a celui de-al doilea bistabil.

Desenați ca în figura 7.8 formele de undă observate la ieșirile celor două bistabile, menținând corelațiile temporale cu semnalele de intrare ale acestor circuite.

Formele de undă prezentate în figura 7.9 prezintă grafic faptul că al doilea bistabil are ieșirea întârziată cu o perioadă de ceas față de ieșirea primului bistabil. Remarcați starea logică eșantionată la intrarea D a celui de-al doilea bistabil. Deși pare că intrarea D se modifică în momentul frontului activ al semnalului de ceas, intrarea D este eșantionată la valoarea de dinaintea momentului frontului activ al semnalului de ceas.



**Figura 7.5** Forme de undă ale bistabilului 7474 și latch-ului 7475 (pe osciloscop și pe analizor logic).

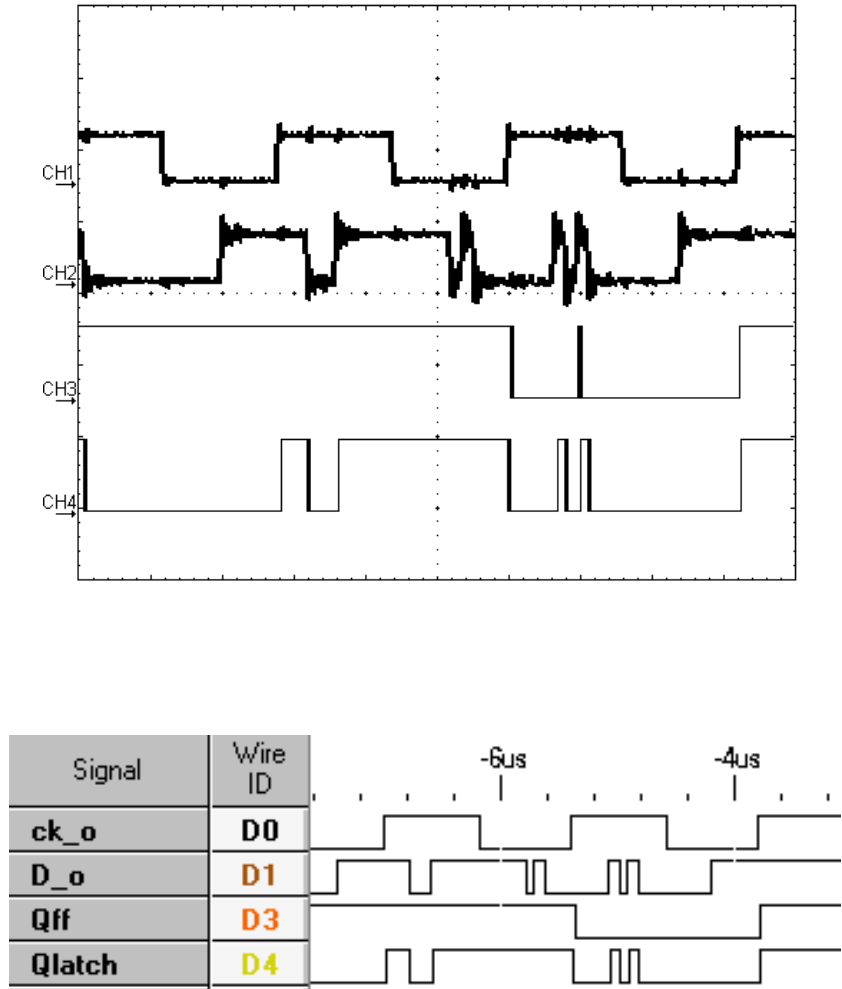


Figura 7.6 Detaliu: Forme de undă ale bistabilului 7474 și latch-ului 7475 (pe osciloscop și pe analizor logic).

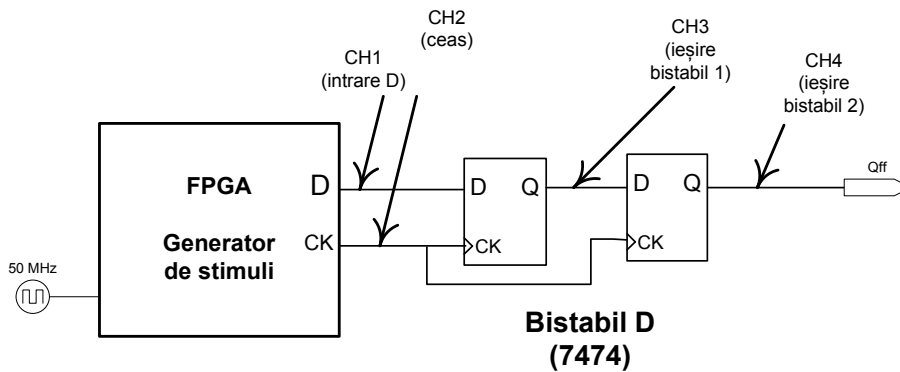


Figura 7.7 Circuit pentru studierea comportamentului a două bistabile înseriate.

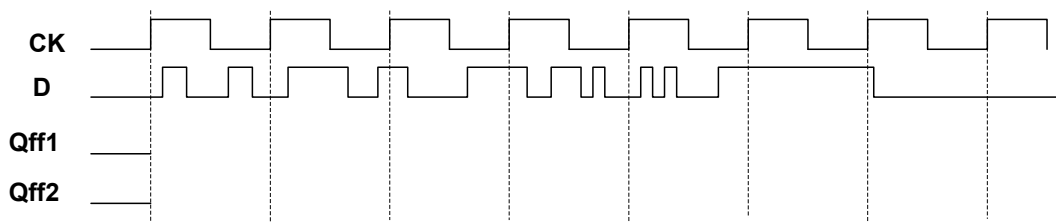


Figura 7.8 Forme de undă pentru două bistabile înseriate.

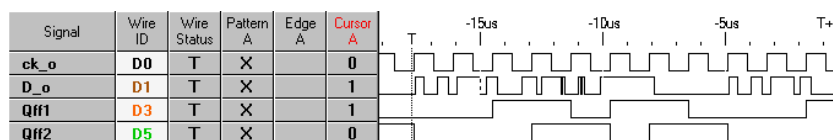
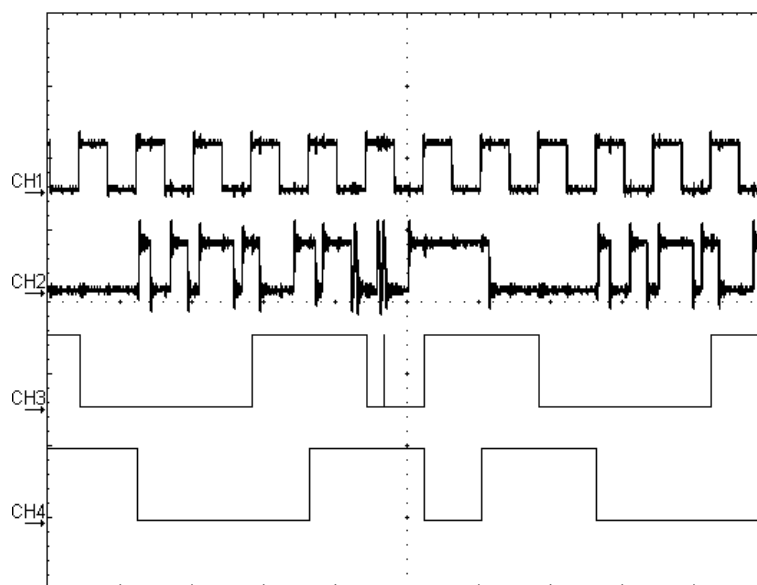


Figura 7.9 Forme de undă a două bistabile sincrone înseriate.